

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-222391

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

G06F 11/22

G06F 9/38

G06F 11/28

(21)Application number : 09-027390

(71)Applicant : HITACHI LTD

HITACHI CHIYOU LSI SYST:KK

(22)Date of filing : 12.02.1997

(72)Inventor : SUZUKI TATSUYA

ITO ATSUYOSHI

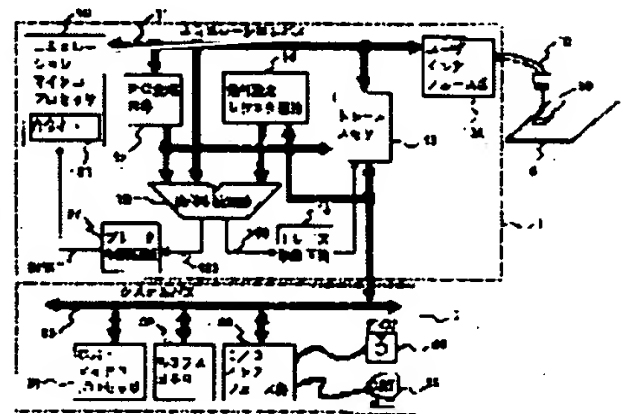
AOTO GIICHI

(54) EMULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an emulator which can grasp the state of the external bus of an emulation micro processor in accordance with an instruction address during execution at that time.

SOLUTION: The emulation microprocessor 10 having an instruction buffer substitutively controls a target system 5 through an emulation bus 11. A PC generation circuit 12 generatign the execution instruction address of the microprocessor 10 based on status information showing an instruction fetch operation by the micro processor 10 and the state of the instruction buffer and address information on the emulation bus 11 is provided. When the instruction address generated in the PC generation circuit 12 is matched with a tracing condition which is set in a condition setting register circuit 15, information of the emulation bus 11 and the execution instruction address are stored in a tracing memory 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(11)特許出願公開番号

(43)公開日 平成10年(1998)8月21日

審査請求 未請求・請求項の数 4 OL (全 9 頁)

最終頁に続く

【特許請求の範囲】

【請求項1】 外部からフェッチした命令を複数個格納可能な命令バッファを有するエミュレーション用のマイクロプロセッサと、前記マイクロプロセッサがターゲットシステムを代行制御するためのアドレス、データ及び制御信号を伝達するためのエミュレーションバスと、前記マイクロプロセッサによる命令フェッチ動作及び前記命令バッファの状態を夫々示すステータス信号と前記エミュレーションバスに伝達されるアドレス情報とに基づいて前記マイクロプロセッサが実行している命令アドレスを生成するPC生成回路と、前記エミュレーションバスで伝達される情報と前記PC生成回路で生成される命令アドレスとをエミュレーションバスのバスサイクルに従って格納可能なトレースメモリと、所要の条件が任意に設定可能にされた条件設定レジスタ回路と、前記PC生成回路で生成された命令アドレスが前記条件設定レジスタ回路に設定された第1のトレース条件に一致する状態のとき前記トレースメモリにトレースを実行させるトレース制御手段と、を備えて成るものであることを特徴とするエミュレータ。

【請求項2】 前記トレース制御手段は更に、前記エミュレーションバスの状態が前記条件設定レジスタ回路に設定された第2のトレース条件に一致する状態のとき前記トレースメモリにトレースを実行させるものであることを特徴とする請求項1記載のエミュレータ。

【請求項3】 前記PC生成回路で生成された命令アドレスが前記条件設定レジスタ回路に設定された第1のブレーク条件に一致するとき前記マイクロプロセッサの命令実行動作を停止させるブレーク信号をアサートするブレーク制御手段を更に備えて成るものであることを特徴とする請求項1又は2記載のエミュレータ。

【請求項4】 前記ブレーク制御手段は更に、前記エミュレーションバスの状態が前記条件設定レジスタ回路に設定された第2のブレーク条件に一致するとき前記ブレーク信号をアサートするものであることを特徴とする請求項3記載のエミュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロプロセッサ応用機器の開発若しくはデバッグを支援するエミュレータに関し、例えば、タスク単位でユーザプログラムの実行状態を観測するのに有効な技術に関する。

【0002】

【従来の技術】エミュレータは、評価若しくはデバッグを行おうとするマイクロプロセッサ応用機器（ターゲットシステム）に搭載されるマイクロプロセッサ（ターゲットマイクロプロセッサ）と同等の機能を有するエミュレーション用のマイクロプロセッサ（エミュレーションマイクロプロセッサ）を有する。エミュレーションマイクロプロセッサはユーザプログラム（ターゲットプログ

ラム）を実行し、実行途上で得られるバス情報などはトレースメモリに蓄積される。また、ユーザプログラムの実行状態が予め設定された条件に一致するときエミュレーションマイクロプロセッサによるターゲットプログラムの実行が停止（ブレーク）される。エミュレータは、ターゲットプログラムの実行及び停止毎に、トレースされた情報に基づいてターゲットプログラムの実行内容を検証可能にし、それに基づいてユーザプログラムやターゲットシステムのデバッグを支援する。

10 【0003】従来、前記トレースを行う条件やブレークの条件は、前記エミュレーションマイクロプロセッサが出力するアクセスアドレスや制御情報そして入出力データ等とされる。

【0004】尚、エミュレータについては、E7000 H8/3003, H8/3002, H8/3042シリーズエミュレータ ユーザーズマニュアル（93年9月に株式会社日立マイコンシステム発行）P12～P13, P85～P89がある。

【0005】

【発明が解決しようとする課題】ところで、マイクロプロセッサの高機能化が進む中で、その動作プログラムもマルチタスキング処理やリアルタイム処理などを実現するために複雑化され、プログラム容量も大規模化される傾向にある。また、機器組み込み制御用途ではリアルタイムOSが多用されるようになっている。例えば、マルチタスクタスク処理では複数のタスクを時分割で実行するものがある。また、リアルタイムOSは計測機器や被制御プロセスなどの被制御系の制御を主目的とするものである。そのような被制御系に対してはある一定の応答時間を超えない範囲で制御を行わなければ被制御系に誤動作を生ずることになる。このため、リアルタイムOSではオーバーヘッドを少なくするようにタスク管理やタスク間交信並びに時間管理などが行われる。リアルタイムOSにおいて実行可能状態にあるタスクは優先順位に従って待ち行列に繋がれ、優先順位の高いものから実行される。実行中のタスクは特定の割り込みや所定のタスクの起動によって処理が中断されると、前記特定の割り込みや新たに起動されたタスクに制御が移される。

40 【0006】前述のように、複数のタスクが時分割的に実行され、或いは実行完了されていない複数のタスクの実行状態が切換えられる状況においては、特定のタスクに着目したデバッグ機能を実現できることの必要性が本発明者によって見出された。

【0007】また、マイクロプロセッサはその高機能化により命令バッファを備えるものが多い。命令バッファを備える場合、マイクロプロセッサが現在実行中の命令アドレスは必ずしもその直前の命令フェッチで外部に出力された命令アドレスに一致していない。このため、エミュレーションマイクロプロセッサの外部バスの状態をトレースしても、そのトレース結果から、そのとき実行中の命令アドレスを正確に把握することは難しい。

【0008】本発明の目的は、エミュレーションマイクロプロセッサの外部バスの状態を、そのとき実行中の命令アドレスに対応付けて把握できるようにするエミュレータを提供することにある。

【0009】本発明の別の目的は、タスク単位でその実行状態をトレースできるエミュレータを提供することにある。

【0010】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】すなわち、エミュレータ(1)は、外部からフェッチした命令を複数個格納可能な命令バッファを有するエミュレーション用のマイクロプロセッサ(10)と、前記マイクロプロセッサがターゲットシステム(5)を代行制御するためのアドレス、データ及び制御信号を伝達するためのエミュレーションバス(11)と、前記マイクロプロセッサによる命令フェッチ動作及び前記命令バッファの状態を夫々示すステータス信号(／IF、／LIRL、／LIR)と前記エミュレーションバスに伝達されるアドレス情報(A1～A27)とに基づいて前記マイクロプロセッサが実行している命令アドレス(実行命令アドレス)を生成するPC生成回路(12)と、前記エミュレーションバスで伝達される情報と前記PC生成回路で生成される実行命令アドレスとをエミュレーションバスのバスサイクルに従って格納可能なトレースメモリ(13)と、所要の条件が任意に設定可能にされた条件設定レジスタ回路(15)と、前記PC生成回路で生成された実行命令アドレスが前記条件設定レジスタ回路に設定された第1のトレース条件に一致する状態のとき前記トレースメモリにトレースを実行させるトレース制御手段(TRC)とを備えて成る。

【0013】上記エミュレータによれば、PC生成回路はマイクロプロセッサが現在実行している命令アドレスを生成するから、例えば、着目するタスクのプログラムアドレスの範囲を第1のトレース条件とすれば、前記PC生成回路で生成された実行命令アドレスがその第1のトレース条件に一致する状態のとき、前記着目タスクの実行状態だけをトレースメモリに格納することができる。また、トレースメモリに格納される情報には、前記PC生成回路で生成された実行命令アドレスを含むから、エミュレーションマイクロプロセッサの外部バスの状態を、そのとき実行中の命令アドレスに対応付けて把握できる。

【0014】更に、前記PC生成回路で生成された実行命令アドレスとエミュレーションバスの状態はブレイク条件の判定にも利用できる。これによれば、着目するタ

スクにおける所要アドレスの命令が実行されるのを条件にブレイクしたり、着目するタスクの実行途上でエミュレーションバスに現れる所定の状態状をブレイク条件にできる。

【0015】

【発明の実施の形態】

【エミュレータ】図1には本発明の一例に係るエミュレータが示される。同図において1はエミュレータ、3はホストシステム、5はターゲットシステムである。

10 【0016】エミュレータ1はエミュレーションマイクロプロセッサ10を有する。エミュレーションマイクロプロセッサ10はターゲットシステム5に搭載されるべき図示を省略するターゲットマイクロプロセッサと同等の機能を有する。エミュレーションマイクロプロセッサ10は代表的に示された命令バッファ100を有する。前記エミュレーションマイクロプロセッサ10はターゲットシステム5を代行制御する。代行制御するためのアドレス、データ及び制御信号はエミュレーションバス11に伝達される。エミュレーションバス11はユーザインタフェース部13Aからインタフェースケーブル13を介して外部に引き出される。インタフェースケーブル13の先端は、例えばターゲットプロセッサを実装するためのICソケット50に着脱自在に結合される。前記エミュレーションバス11にはPC生成回路12及びトレースメモリ13が結合されている。

20 【0017】前記PC生成回路12は、前記マイクロプロセッサ10による命令フェッチ動作並びに前記命令バッファ100の状態を夫々示すステータス信号と前記エミュレーションバス11に伝達されるアドレス情報とに基づいて前記マイクロプロセッサ10が実行している実行命令アドレスを生成する。その詳細は後述する。

30 【0018】前記トレースメモリ13は、前記エミュレーションバス11に伝達されるアドレス、データ及び制御信号の各情報と、前記PC生成回路12で生成された実行命令アドレスとを、エミュレーションバス11のバスサイクルに同期して格納するメモリである。トレースメモリ13に対する書き込みアドレスはトレース制御回路14がエミュレーションバス11のバスサイクルに同期して順次生成していく。

40 【0019】条件設定レジスタ回路15は、前記トレースメモリ13によりトレースを行わせるためトレース条件やエミュレーションマイクロプロセッサ10に対するブレイク条件が任意に設定可能にされたレジスタ回路である。前記条件設定レジスタ回路15に対する条件の書き込み制御、そして前記トレースメモリ13に対する読み出し制御は、システムバス30を介してホストマイクロプロセッサ31が行う。

50 【0020】条件判定回路16は、前記PC生成回路12で生成された実行命令アドレスや前記エミュレーションバス11に現れる内容が前記条件レジスタ回路15に

設定されたトレース条件やブレーク条件に一致するかを判定する。前記条件判定回路16はトレース条件に一致する状態を検出したとき制御信号を160をアサートしてトレース制御回路14にトレース動作を実行させる。また、前記条件判定回路16はブレーク条件に一致する状態を検出したとき制御信号を161をアサートしてブレーク制御回路17からブレーク割り込み信号BRKをエミュレーションマイクロプロセッサ10にアサートさせる。前記条件判定回路16による判定動作は、例えば以下の4通りの判定動作を含む。第1の判定動作は、前記PC生成回路12で生成された実行命令アドレスが前記条件設定レジスタ回路15に設定されたトレース条件に一致するか否かを判定する動作である。第2の判定動作は、前記エミュレーションバス11の状態が前記条件設定レジスタ回路15に設定されたトレース条件に一致するか否かを判定する動作である。第3の判定動作は、前記PC生成回路12で生成された実行命令アドレスが前記条件設定レジスタ回路15に設定されたブレーク条件に一致するか否かを判定する動作である。第4の判定動作は、前記エミュレーションバス11の状態が前記条件設定レジスタ回路15に設定されたブレーク条件に一致するか否かを判定する動作である。

【0021】前記ホストシステム3は、前記ホストマイクロプロセッサ31が結合されたシステムバス30に、ホストマイクロプロセッサ31のワーク領域若しくはデータ一時記憶領域として利用されるシステムメモリ32、I/Oインタフェース回路33が接続され、前記I/Oインタフェース回路33に代表的に示されたディスク装置34やディスプレイ装置35が接続されて構成される。このホストシステム3は、例えばパーソナルコンピュータやワークステーション等によって実現されている。

【0022】【エミュレーションマイクロプロセッサ】図2には前記エミュレーションマイクロプロセッサ10の一例が示される。エミュレーションマイクロプロセッサ10は、単結晶シリコンのような1個の半導体基板に、前記命令バッファ100、シーケンス制御回路101、演算回路102及びバスインタフェース回路103等が設けられて構成される。図2において104は内部データバス、105は内部アドレスバス、106は内部コントロールバスである。演算回路102は図示を省略する演算器、データレジスタ、アドレスレジスタ、及びコントロールレジスタ等を有する。

【0023】マイクロプロセッサ10は、特に制限されないが、外部に対するバスアクセスをロングワード(32ビット)又はワード(16ビット)単位で行う。マイクロプロセッサ10が出力するアドレス信号はバイトアドレス(バイト単位でデータ記憶領域を指すアドレス)とされる。これに応じて、バスインタフェース回路103から外部に出力されるアドレス信号A0~A27もバ

イトアドレスとされる。マイクロプロセッサ10の命令は、特に制限されないが、16ビット(ワード)固定長とされる。したがって、命令フェッチのための1回の外部アクセスで最大2命令を命令バッファ100にフェッチすることができる。

【0024】図3には命令バッファ100の一例が示される。命令バッファは、命令レジスタ(IRL)107、マルチプレクサ109、及び命令レジスタ(IR)108を有する。前記命令レジスタ107は、データバス104の下位16ビットD0~D15に入力結合される。前記マルチプレクサ109は、データバス104の上位16ビットD16~D31、下位16ビットD0~D15、又は前記命令レジスタ107の出力を選択して出力する。前記命令レジスタ108は、マルチプレクサ109の出力を入力する。前記命令レジスタ107、108は特に図示はしないが、マスタ・スレーブの構成にされており、マスタ段が入力動作を行っているときスレーブ段はラッチ出力状態(記憶データを保持して出力する状態)を採り、マスタ段がラッチ出力状態にあるとき、スレーブ段はマスタ段の出力をスルーで出力させるスルー出力状態に制御される。

【0025】エミュレーションマイクロプロセッサ10が外部メモリアccessをロングワード単位で行うとき、命令フェッチのための外部メモリアccessが行われると、それによって読み込まれる2命令の内、最初の命令(下位データバスD0~D15から供給される命令)はIR108にラッチされ、次の命令(上位データバスD16~D31から供給される命令)はIRL107にラッチされる。ワード長命令であるためアクセスにおいてアドレス信号の最下位ビットA0は実質的に無視される。最下位から第2ビット目のアドレスビットA1は常に論理値"0"にされる。前記命令レジスタ107、108に対するラッチ動作はシーケンス制御回路101が行う。これに応じてバスインタフェース回路103は、ステータス信号/IF(記号/はローインネブル信号であることを意味する)をアサートして、レジスタ107、108に命令が取り込まれていることを示す。レジスタ108にラッチされた命令は前記シーケンス制御回路101に与えられてデコードされる。バスインタフェース回路103は、ステータス信号/LIRをアサートして、レジスタ108にラッチされた命令が前記シーケンス制御回路101に与えられて実行されていることを外部に示す。また、レジスタ107にラッチされた命令はレジスタ108がラッチする。そのラッチ動作は、先にレジスタ108にラッチされている命令が実行された後とされる。バスインタフェース回路103は、ステータス信号/LIRLをアサートして、レジスタ107からレジスタ108にデータが転送されていることを外部に知らせる。ワードアクセスの場合には、レジスタ107は利用されない。ワードアクセスではアドレスビット

A1の論理値は有意とされる。

【0026】前記バスインタフェース回路103は、前記ステータス信号 \overline{IF} 、 \overline{LIR} 、 \overline{LIRL} の他に、マイクロプロセッサの動作クロック信号に同期したクロック信号CK、外部にリード動作を指示するリード信号 \overline{RD} 、外部にライト動作を指示するライト信号 \overline{WR} を出力する。更に、アドレス信号A1～A27を出力し、データD0～D31を入出力する。

【0027】〔PC生成回路〕図4には前記PC生成回路12の一例が示される。PC生成回路12は26ビット分のラッチ回路120と、論理回路121とによって構成される。ラッチ回路120は26ビット分のD型ラッチによって構成され、それらD型ラッチのデータ入力端子(D)はエミュレーションバス11に含まれるアドレス信号A2～A27を各ビット毎に受ける。D型ラッチの出力端子(Q)からは実行命令アドレスの一部PCA2～PCA27が得られる。論理回路121は最下位の命令アドレスPCA1とラッチ回路120の各D型ラッチに共通のクロック信号PCLを生成する。PCA1～PCA27がPC生成回路12で生成された実行命令アドレスである。尚、マイクロプロセッサ10のアドレス信号はバイトアドレスであるが、命令語長はワード単位であるからPC生成回路12はA0について無視する。

【0028】前記論理回路121はA1、CK、 \overline{IF} 、 \overline{LIRL} 、 \overline{LIR} を入力してPCL、PCA1を生成する。そのための論理構成は以下の通りである。即ち、データラッチ回路120に対するクロック制御に関しては、PCLは \overline{IF} と \overline{CK} の論理積信号($PCL = \overline{IF} \& \overline{CK}$)とされる。これにより、PCLはステータス信号 \overline{IF} がローレベルでクロック信号CKの立ち下がりに同期して、データラッチ回路120にA2～A27をラッチさせる。このラッチ動作が行なわれるとき、マイクロプロセッサ10は命令レジスタ107、108に2命令をラッチする。論理回路121においてPCA1を生成する論理はクロック信号CKに同期動作されるマスタ・スレーブ型ラッチ回路類似の論理構成になっている。すなわち、CKの立ち下がりに同期してA1、 \overline{IF} 、 \overline{LIRL} 、 \overline{LIR} の入力を行う($PCA1, CLK = \overline{CK}$)。それら入力に対する出力PCA1の状態は、 $\overline{IF} \& A1$ (記号&は論理積を意味する)と、 $\overline{IF} \& \overline{LIRL} \& PCA1$ と、 \overline{LIRL} との論理和(#)の結果とされる。すなわち、 $\overline{IF} \& A1$ は、ステータス信号 \overline{IF} とA1との論理積の結果をPCA1とする状態である。ロングワードアクセスにおいてA1は常時論理値“0”、ワードアクセスではA1の論理値は“0”又は“1”を採る。 $\overline{IF} \& \overline{LIRL} \& PCA1$ は、 \overline{IF} と \overline{LIRL} がハイレベルのとき出力PCA1を保持する状態である。ロングワードアクセスでは、 \overline{IF} と交互に \overline{LIRL} がハイレベルにされる。した

がって、ロングワードアクセスで命令がフェッチされたとき、 \overline{IF} のハイレベルに同期してPCA1が論理値“0”にされ、次に \overline{LIRL} がハイレベルにされたときPCA1が論理値“1”にされる。ワードアクセスのときは、命令フェッチの度に \overline{IF} がハイレベルにされるのでPCA1はA1の論理値と同じ論理値にされる。

【0029】図4の例示から明らかなようにPC生成回路12はマイクロプロセッサ10による命令フェッチ動作及び前記命令バッファの状態を夫々示すステータス信号と前記エミュレーションバス11に伝達されるアドレス情報とに基づいて前記マイクロプロセッサ10が実行している命令アドレスを生成することができる。図5に例示されるようにA1～A27に、値“n”のアドレスが出力されて2ワードの命令がフェッチされたとき、PC生成回路12は、その命令が順次実行されるとき、最初に実行される命令のアドレス値“n”と、次に実行される命令のアドレス値“n+2”とをPCA1～PCA27によって生成することができる。

【0030】〔トレース制御及びブレーク制御〕図6には図1の条件判定回路16、トレース制御回路14及びブレーク制御回路17によって構成されるトレース制御手段TRCとブレーク制御手段BRCの一例が示される。

【0031】前記条件設定レジスタ回路15は、トレース条件が設定されるレジスタ150～152と、ブレーク条件が設定されるレジスタ153、154とを有する。レジスタ150には所望のタスクの開始命令アドレスと終了命令アドレスが設定される。前記レジスタ151には所望のアドレス範囲(開始アドレスと終了アドレス)が設定される。レジスタ152には所望のデータ範囲等が設定される。前記レジスタ153には所望の命令アドレスが設定され、前記レジスタ154にはエミュレーションバス11で観測可能な所望のデータ値やアドレス値が設定される。各レジスタ150～154にはシステムバス30を介してホストマイクロプロセッサ31が値を設定する。

【0032】図1で説明した前記条件判定回路16は、例えばコンパレータ(CMP)162～166、及びオアゲート(OR)167、168によって構成される。前記コンパレータ162～166は前記ホストマイクロプロセッサ31の制御を介して、動作が選択される。動作が非選択とされたコンパレータ162～166の出力はローレベルに固定される。

【0033】前記レジスタ150は、トレース対象にしようとする所望のタスク若しくはルーチンのプログラムアドレス範囲のような所要の命令アドレス範囲の先頭命令アドレス(開始命令アドレス)を格納する領域と、最終命令アドレス(終了命令アドレス)を格納する領域とを有する。コンパレータ162は、前記PC生成回路12で生成される実行命令アドレスと先頭命令アドレスとの

大小比較を行うと共に、前記PC生成回路12で生成される実行命令アドレスと最終命令アドレスとの大小比較を行い、前記PC生成回路12で生成される実行命令アドレスが先頭命令アドレスから最終命令アドレスまでの範囲に入っているとき、ハイレベルの信号を出力する。

【0034】前記レジスタ151は、トレース対象にしようとするアドレス範囲の先頭アドレス（開始アドレス）を格納する領域と、最終アドレス（終了アドレス）を格納する領域とを有する。コンパレータ163は、前記エミュレーションバス11に含まれるアドレスバス上のアドレスと先頭アドレスとの大小比較を行うと共に、前記アドレスバス上のアドレスと最終アドレスとの大小比較を行い、前記エミュレーションバス11に含まれるアドレスバス上のアドレスが先頭アドレスから最終アドレスまでの範囲に入っているとき、ハイレベルの信号を出力する。

【0035】前記レジスタ152は、トレース対象にしようとするデータ範囲の先頭データを格納する領域と、最終データを格納する領域とを有する。コンパレータ164は、前記エミュレーションバス11に含まれるデータバス上のデータと先頭データとの大小比較を行うと共に、前記データバス上のデータと最終データとの大小比較を行い、前記エミュレーションバス11に含まれるデータバス上のデータが先頭データから最終データまでの範囲に入っているとき、ハイレベルの信号を出力する。

【0036】前記オアゲート167はコンパレータ162、163、164の出力を受け、何れか一つがハイレベルにされると、信号160を活性化し、トレース制御回路14によってエミュレーションバス11の情報をトレースメモリ13に格納させる。

【0037】前記コンパレータ165は前記PC生成回路12で生成される実行命令アドレスを前記レジスタ153に格納されている命令アドレスと比較し、一致を検出したとき、ハイレベルの信号を出力する。前記コンパレータ166は前記エミュレーションバス11のデータ値やアドレス値などの情報を前記レジスタ153に格納されているブレーク条件と比較し、一致を検出したとき、ハイレベルの信号を出力する。前記コンパレータ165、166の出力はオアゲート168に与えられる。オアゲート168の入力の何れか一つがハイレベルにされると、信号161を活性化し、ブレーク制御回路17によってブレーク信号BRKをアサートさせる。

【0038】次に上記エミュレータ1を用いたデバッグ動作の一例を説明する。例えば、レジスタ150に、デバッグ対象とするタスクの開始命令アドレスと終了命令アドレスを設定し、コンパレータ162の動作を活性化する。そして、マイクロプロセッサ10にユーザプログラムを実行させたとき、PC生成回路12によって前記タスクの実行命令アドレスが生成されると、その期間に対応してコンパレータ162の出力がハイレベルにされ

る。これによってトレースメモリ13にはその時のエミュレーションバス11の内容とPC生成回路12の出力とが、バスサイクル毎に格納される。割り込みや例外処理、或いは時分割的なタスク切換えなどによって、途中でマイクロプロセッサ10の制御がその他のタスクに移されても、そのときは、トレース動作が停止される結果、着目するタスクに関してだけトレース情報を得ることができる。したがって、タスク毎のデバッグを容易に行うことができる。

【0039】また、複数のタスクを実行するときに利用される共有メモリに着目したとき、その共有メモリがマッピングされるアドレス範囲を前記レジスタ151に設定した場合について説明する。この時は、コンパレータ163の動作を活性化する。例えば前記共有メモリは、リアルタイムOSにおけるタスク間通信用のメールボックス等として利用されるメモリである。マイクロプロセッサ10にユーザプログラムを実行させたとき、前記共有メモリがアクセスされる度に、コンパレータ163はトレースメモリにエミュレーションバス11の状態とPC生成回路12の出力命令アドレスを蓄積させる。例えば図7のように、複数種類のタスクが時分割的に共有メモリ7をアクセスするとき、トレースメモリ13には、図8に示されるように、PC生成回路12から出力される実行命令アドレス、共有メモリ7に対するアクセスアドレス、アクセスデータ、ステータス等がバスサイクル毎にトレースメモリ13に蓄積される。したがって、着目するメモリ領域に対するマイクロプロセッサ10のアクセスを、その時マイクロプロセッサ10が実行する命令アドレス更にはタスクと対応付けて把握することといができるようになる。

【0040】そして、着目するタスクの中でマイクロプロセッサ10の動作を停止させたい命令アドレス（ブレークポイント）を前記レジスタ153に設定すれば、PC生成回路12から出力される実行命令アドレスが前記レジスタ153の値に一致したとき、コンパレータ165の出力がハイレベルにされる結果、ブレーク割り込み信号BRKによってマイクロプロセッサ10によるユーザプログラムの実行を停止させることができる。

【0041】また、レジスタ154にエミュレーションバス11の所望の状態を設定すれば、この設定に一致する状態が生じたとき、コンパレータ166の出力がハイレベルにされる結果、ブレーク割り込み信号BRKによってマイクロプロセッサ10によるユーザプログラムの実行を停止させることができる。

【0042】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0043】例えば、トレース条件の判定はトレース条件と参照情報との大小比較によって行う場合に限定され

ず、アドレス信号などの所定の低位側情報をマスクして比較する手法を採用することも可能である。また、エミュレーションマイクロプロセッサの内蔵モジュールは上記の例に限定されず、適宜変更可能である。また、命令バッファは、上記の例に限定されず、直列3段以上の命令キューによって構成してもよい。また、命令は16ビット固定長に限定されず、それ以上のビット数の命令、或いは可変長の命令であってもよい。また、条件判定回路は、コンパレータとアンドゲートによって構成することも可能である。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0045】すなわち、PC生成回路はマイクロプロセッサが現在実行している命令アドレスを生成するから、例えば、着目するタスクのプログラムアドレスの範囲を第1のトレース条件とすれば、前記PC生成回路で生成された命令アドレスがその第1のトレース条件に一致する状態のとき、前記着目タスクの実行状態だけをトレースメモリに格納することができる。また、トレースメモリに格納される情報には、前記PC生成回路で生成された命令アドレスを含むから、エミュレーションマイクロプロセッサの外部バスの状態を、そのとき実行中の命令アドレスに対応付けて把握できる。

【0046】更に、前記PC生成回路で生成された命令アドレスとエミュレーションバスの状態はブレーク条件の判定にも利用できるから、着目するタスクにおける所要アドレスの命令が実行されのを条件にブレークしたり、着目するタスクの実行途上でエミュレーションバスに現れる所定の状態をブレーク条件にできる。

【0047】このように、本願発明によれば、エミュレーションマイクロプロセッサの外部バスの状態を、そのとき実行中の命令アドレスに対応付けて把握できるエミュレータを提供することができる。そして、タスク単位でその実行状態をトレースできるエミュレータを提供することができる。

【図面の簡単な説明】

【図1】本発明の一例に係るエミュレータのブロック図である。

【図2】エミュレーションマイクロプロセッサの一例ブ

ロック図である。

【図3】命令バッファの一例ブロック図である。

【図4】PC生成回路の一例ブロック図である。

【図5】PC生成回路による実行命令アドレス生成動作の一例タイミングチャートである。

【図6】トレース制御手段とブレーク制御手段の一例ブロック図である。

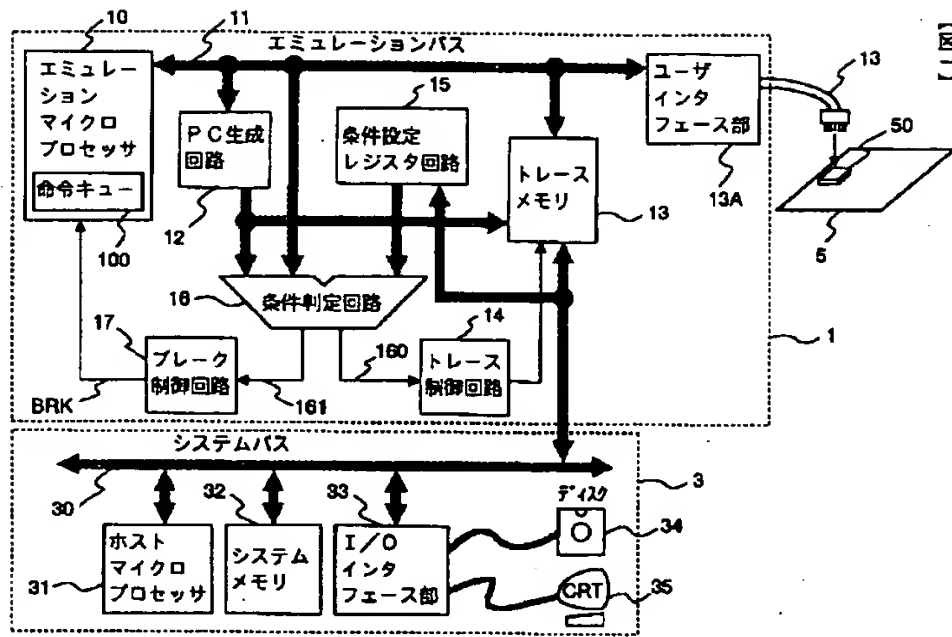
【図7】複数のタスクが共有メモリをアクセスする動作の一例タイミングチャートである。

10 【図8】図7の動作によってトレースメモリに得られる情報の一例を示す説明図である。

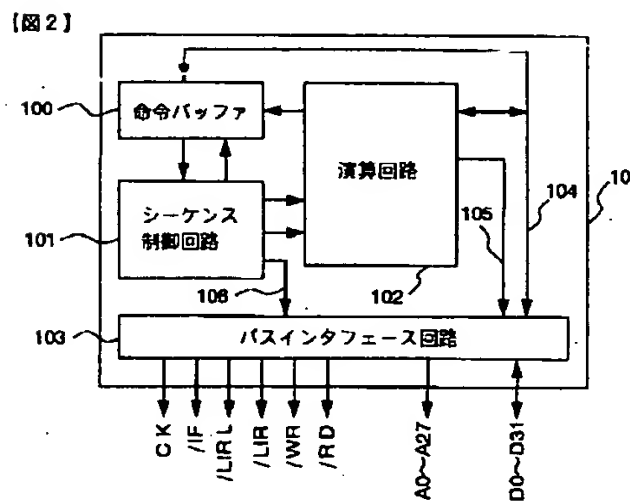
【符号の説明】

- 1 エミュレータ
- 3 ホストシステム
- 5 ターゲットシステム
- 10 エミュレーションマイクロプロセッサ
- 11 エミュレーションバス
- 12 PC生成回路
- 13 トレースメモリ
- 20 14 トレース制御回路
- 15 条件設定レジスタ回路
- 16 条件判定回路
- 17 ブレーク制御回路
- 100 命令バッファ
- 101 シーケンス制御回路
- 102 演算回路
- 103 バスインタフェース回路
- D0～D31 データ
- A0～A27 アドレス信号
- 30 CK クロック信号
- /IF, /LIRL, /LIR ステータス信号
- 104 内部データバス
- 107 命令レジスタ
- 108 命令レジスタ
- 109 マルチプレクサ
- 120 ラッチ回路
- 121 論理回路
- 150～154 レジスタ
- 162～166 コンパレータ
- 40 167, 168 オアゲート

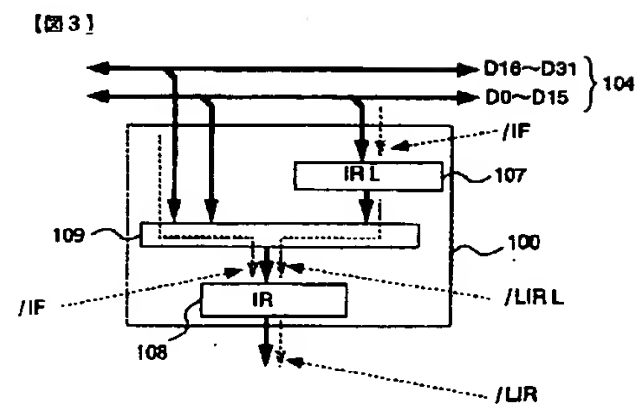
【図1】



【図2】

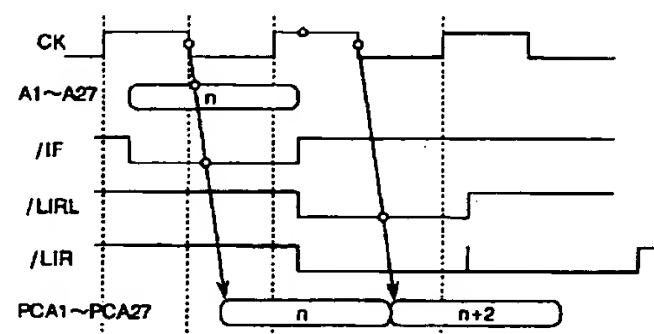


【図3】

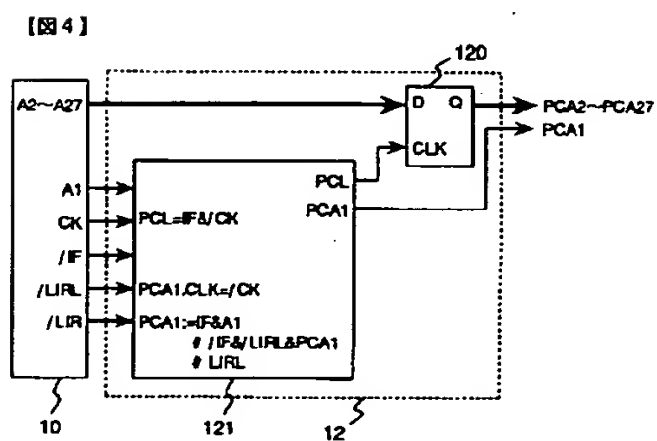


【図5】

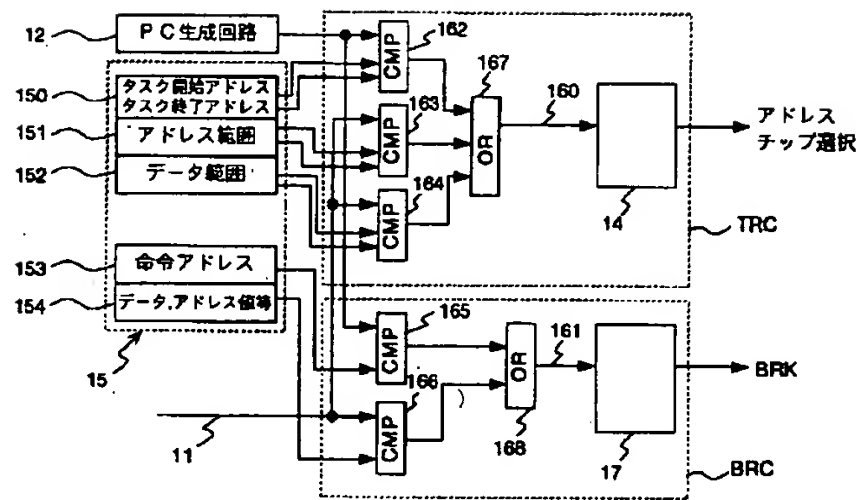
【図5】



【図4】



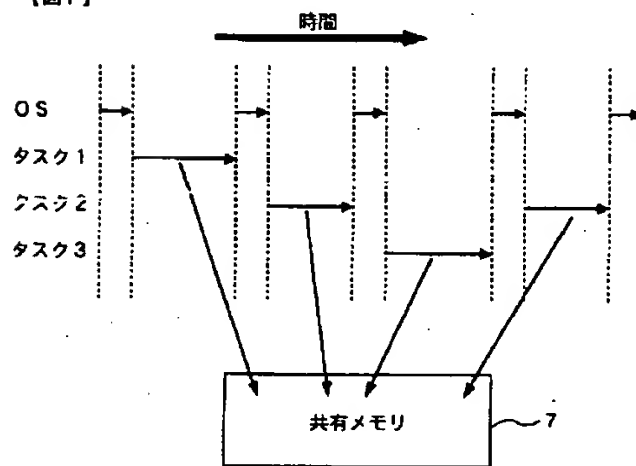
【図6】



【図6】

【図7】

【図7】



【図8】

【図8】

トレースメモリ内容

実行命令 アドレス	アクセス アドレス	アクセス データ	ステータス
タスク1	共有メモリアドレス	ライトデータ	ライト
タスク2	共有メモリアドレス	ライトデータ	ライト
タスク3	共有メモリアドレス	ライトデータ	ライト

実行順序 ↓

フロントページの続き

(72)発明者 伊藤 淳悦

東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 青砥 義一

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.